

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

DIALOG(R)File 352:Derwent WPI
(c) 2001 Derwent Info Ltd. All rts. reserv.
010605556 ***Image available***

WPI Acc No: 1996-102509/199611

Related WPI Acc No: 1995-278786; 1995-398460; 1996-025376; 2001-055608;
2001-435258

XRAM Acc No: C96-032625

XRPX Acc No: N96-085927

Semiconductor device for LCD device - comprises active layer of
crystalline silicon and catalyst in amorphous silicon layer to promote
crystallisation

Patent Assignee: SHARP KK (SHAF)

Inventor: FUNAI T; MAKITA N; YAMAMOTO Y; KOSAI T; MITANI Y; MIYAMOTO T;
NOMURA K

Number of Countries: 005 Number of Patents: 006

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 8008181	A	19960112	JP 94139151	A	19940621	199611 B
TW 272319	A	19960311	TW 94111019	A	19941126	199625
CN 1112287	A	19951122	CN 94120769	A	19941220	199737
US 5696003	A	19971209	US 94357648	A	19941216	199804
US 5821562	A	19981013	US 94357648	A	19941216	199848
			US 95452693	A	19950530	
KR 228231	B1	19991101	KR 9435807	A	19941220	200110

Priority Applications (No Type Date): JP 94139151 A 19940621; JP 93319904 A
19931220; JP 9463230 A 19940331; JP 9490356 A 19940427

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 8008181	A		7 H01L-021/20	
TW 272319	A		H01L-031/0392	
CN 1112287	A		H01L-021/00	
US 5696003	A	58	H01L-021/84	
US 5821562	A		H01L-029/786	Div ex application US 94357648 Div ex patent US 5696003
KR 228231	B1		H01L-029/786	

Abstract (Basic): JP 8008181 A

The semiconductor device consists of an active layer (113) made of
crystalline silicon. A catalyst (105) in the amorphous silicon layer
promotes crystallisation by carrying out heat processing. The catalyst
is irradiated by a laser light.

ADVANTAGE - The diffusion of catalyst into the foundation film is
avoided. The reliability and electrical stability of the semiconductor
device is improved. Compact structure is secured. The cost is reduced.

Dwg.1/2

Title Terms: SEMICONDUCTOR; DEVICE; LCD; DEVICE; COMPRISE; ACTIVE; LAYER;
CRYSTAL; SILICON; CATALYST; AMORPHOUS; SILICON; LAYER; PROMOTE;
CRYSTAL

Derwent Class: L03; P81; U11; U12; U14

Pub. after f.d

supplied

International Patent Class (Main): H01L-021/00; H01L-021/20; H01L-021/84;
H01L-029/786; H01L-031/0392
International Patent Class (Additional): H01L-021/205; H01L-021/263;
H01L-021/324; H01L-021/336; H01L-029/04; H01L-029/06; H01L-031/036
File Segment: CPI; EPI; EngPI

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

05052681 **Image available**

SEMICONDUCTOR DEVICE, AND ITS MANUFACTURE

PUB. NO.: **08-008181** [JP 8008181 A]

PUBLISHED: January 12, 1996 (19960112)

INVENTOR(s): MITANI YASUHIRO

NOMURA KATSUMI

APPLICANT(s): SHARP CORP [000504] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 06-139151 [JP 94139151]

FILED: June 21, 1994 (19940621)

INTL CLASS: [6] H01L-021/20; H01L-021/205; H01L-021/263; H01L-021/324;
H01L-029/786; H01L-021/336

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R004 (PLASMA); R011 (LIQUID CRYSTALS); R096
(ELECTRONIC MATERIALS -- Glass Conductors); R097 (ELECTRONIC
MATERIALS -- Metal Oxide Semiconductors, MOS); R132
(ELECTRONIC MATERIALS -- Electrostatic Induction Type
Transistors, SIT)

ABSTRACT

PURPOSE: To prevent the hindrance in the reliability or electric stability of a semiconductor device by the existence of catalyst element by removing the introduction part of the catalyst element promoting the crystallization in an amorphous silicon element before the application of a laser beam or a strong light.

CONSTITUTION: A base film 102 consisting of a silicon oxide is made on a glass board 101. Next, an amorphous silicon film 103 is grown, and hereon a mask 104 consisting of a silicon oxide is made. Next, in this condition, as an element for promoting the crystallization, for example, nickel is introduced into the introduction part 105 being the amorphous silicon film 103 not covered with the mask 104. Next, the whole of the board is heat-treated, whereby it gets in such condition that the end 107 of crystal growth exists outside the polycrystallized region 108 ranging from the introduction part 105. Next, the mask 104 and the crystalline silicon film in the introduction part 105 are removed. Next, using the polycrystallized region 108, an island-shaped crystalline silicon film 109 to serve the active region (source/drain region, channel region) of TFT is made.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-8181

(43) 公開日 平成8年(1996)1月12日

(51) Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/20

21/205

21/263

21/324

N

9056-4M

H 0 1 L 29/ 78

3 1 1 Y

審査請求 未請求 請求項の数 4 O L (全 7 頁) 最終頁に続く

(21) 出願番号

特願平6-139151

(22) 出願日

平成6年(1994)6月21日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 三谷 康弘

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 野村 克己

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

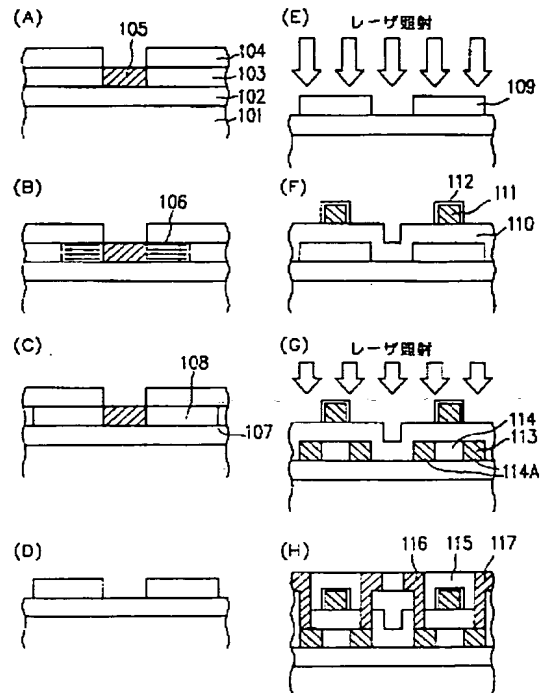
(74) 代理人 弁理士 山本 秀策

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】 信頼性や電氣的安定性を向上させる。

【構成】 結晶性を有するケイ素膜からなる活性領域 1 1 3 を備えた半導体装置であって、該活性領域 1 1 3 は、結晶化を助長する触媒元素が選択的に導入された非晶質ケイ素膜を加熱処理することにより形成されたラテラル成長部からなっており、レーザー光又は強光の照射前に、該非晶質ケイ素膜における該触媒元素の導入部 1 0 5 が除去された構成となっている。



【特許請求の範囲】

【請求項1】 結晶性を有するケイ素膜からなる活性領域を備えた半導体装置であって、

該活性領域は、結晶化を助長する触媒元素が選択的に導入された非晶質ケイ素膜を加熱処理することにより形成されたラテラル成長部からなっており、レーザー光又は強光の照射前に、該非晶質ケイ素膜における該触媒元素の導入部が除去された構成となっている半導体装置。

【請求項2】 前記触媒元素として、Ni、Co、Pd、Pt、Cu、Ag、Au、In、Sn、P、As、SbおよびAlのうちから選ばれる一種または複数種類の元素が用いられた請求項1に記載の半導体装置。

【請求項3】 前記活性領域中における触媒元素の濃度が、 $1 \times 10^{14} \text{ atoms/cm}^3 \sim 1 \times 10^{18} \text{ atoms/cm}^3$ である請求項1に記載の半導体装置。

【請求項4】 基板上に非晶質ケイ素膜を形成する工程と、

該非晶質ケイ素膜の結晶化を助長する触媒元素を、該非晶質ケイ素膜の一部である被導入部に導入する工程と、該導入部の周辺部において該基板の表面に対し概略平行な方向に結晶成長を行わせるべく加熱し、結晶性ケイ素膜を得る工程と、

該導入部を除去する工程と、

除去された該導入部の周辺部において結晶性ケイ素膜の結晶性を助長すべく、レーザー光あるいは強光を照射する工程とを含む半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、例えばアクティブマトリクス型の液晶表示装置などに利用され、ガラス等の絶縁基板上に薄膜トランジスタが設けられた半導体装置およびその製造方法に関し、さらに詳しく言えば、非晶質ケイ素膜を結晶化した結晶性ケイ素膜を活性領域とする薄膜トランジスタを有する半導体装置およびその製造方法に関する。

【0002】

【従来の技術】上記半導体装置としては、薄膜トランジスタ(TFT)を画素の駆動に用いるアクティブマトリクス型液晶表示装置やイメージセンサー等が知られている。これらの装置に用いられるTFTには、薄肉のケイ素半導体膜を用いるのが一般的である。

【0003】ケイ素半導体膜としては、非晶質ケイ素(a-Si)半導体からなるものと結晶性を有するケイ素半導体からなるものとに大別される。前者の非晶質ケイ素半導体は、作製温度が低く気相法で比較的容易に作製することが可能であり、また量産性に富むため最も一般的に用いられている。しかし、導電性等の物性が、後者の結晶性を有するケイ素半導体に比べて劣るため、今後、より高速特性を得るためには、結晶性を有するケイ素半導体からなるTFTの作製方法の確立が強く求めら

れていた。尚、結晶性を有するケイ素半導体としては、多晶質ケイ素、微結晶ケイ素、結晶成分を含む非晶質ケイ素、結晶性と非晶質性の中間の状態を有するセミアモルファスケイ素等が知られている。

【0004】これら結晶性を有する薄膜状のケイ素半導体を得る方法としては、以下の方法が知られている。

【0005】(1)成膜時に結晶性を有する膜を直接成膜する方法

(2)非晶質の半導体膜を成膜しておき、レーザー光のエネルギーにより結晶性を有せしめる方法

(3)非晶質の半導体膜を成膜しておき、熱エネルギーを加えることにより結晶性を有せしめる方法

しかしながら、(1)の方法では、成膜工程と同時に結晶化が進行するので、大粒径の結晶性ケイ素を得るにはケイ素膜の厚膜化が不可欠であり、良好な半導体物性を有する膜を基板上に全面に渡って均一に成膜することが技術上困難である。また、成膜温度が600℃以上と高いので、安価なガラス基板が使用できないというコスト上の問題がある。

【0006】また、(2)の方法では、熔融固化過程の結晶化現象を利用するため、小粒径ながら粒界が良好に処理され、高品質な結晶性ケイ素膜が得られる。しかし、現在最も一般的に使用されているエキシマレーザーを例にとると、レーザー光の照射面積が小さくスループットが低いという問題がまず有り、また大面積基板の全面を均一に処理するにはレーザーの安定性が充分ではなく、次世代の技術という感が強い。

【0007】(3)の方法は、(1)、(2)の方法と比較すると大面積に対応できるという利点はあるが、結晶化に際し600℃以上の高温にて数十時間にわたる加熱処理が必要である。すなわち、安価なガラス基板の使用とスループットの向上とを考えると、加熱温度を下げ、さらに短時間で結晶化させるという相反する問題点を同時に解決する必要がある。また、固相結晶化現象を利用するため、結晶粒は基板面に平行に広がり数 μm の粒径を持つものさえ現れるが、成長した結晶粒同士がぶつかり合って粒界が形成されるため、その粒界はキャリアに対するトラップ準位として働き、TFTの移動度を低下させる大きな原因となっている。

【0008】そこで、上記のような様々な問題点を全て解決するため、上記(3)の方法において、結晶化に必要な温度の低温化と処理時間の短縮化とを両立し、さらには粒界の影響を最小限に留めた結晶性ケイ素薄膜の作製方法が提案されている(特願5-218156)。この方法では、結晶成長の核としてNi等の不純物金属元素を非晶質ケイ素膜に導入することにより、結晶化初期の核発生速度とその後の核成長速度とを飛躍的に向上でき、従来考えられなかったような580℃以下の温度において4時間程度の熱処理で十分な結晶性を得ることができる。このメカニズムは、まず不純物金属元素を核と

した結晶核発生が早期に起こり、その後その不純物金属元素が触媒となって結晶成長を助長し、結晶化が急激に進行することで理解される。そういった意味で、本願明細書において以後これらの不純物金属元素を触媒元素と呼ぶ。

【0009】上記触媒元素により結晶化が助長されて結晶成長した結晶性ケイ素膜は、通常の固相成長法で結晶化した非晶質ケイ素膜が双晶構造であるのに対して、何本もの針状結晶あるいは柱状結晶で構成されており、それぞれの針状結晶あるいは柱状結晶内部は理想的な単結晶状態となっている。また、基板の一部に選択的に触媒元素を導入することにより、同一基板内に選択的に結晶性ケイ素膜と非晶質ケイ素膜とを形成することが可能となる。さらに、その後、熱処理を継続させると、選択的に触媒元素が導入され結晶化している部分から、その周辺部の非晶質部分へと横方向（基板面に平行な方向）に結晶成長部分が延びる現象が起きる。この横方向結晶成長部分を、本願明細書においてラテラル成長部と呼ぶ。

【0010】上記ラテラル成長部では、基板と平行に針状あるいは柱状の結晶が成長方向に沿って延びており、その成長方向において結晶粒界が存在しない。故に、このラテラル成長部を利用してTFTのチャンネル部を形成することにより、高性能なTFTが実現可能となる。このようなラテラル成長部を活性領域に用いてTFTを作製すると、通常の固相成長法で形成した結晶性ケイ素膜を用いた場合に比べ、電界効果移動度が2倍程度向上する。更に、その後、レーザー光あるいは強光を照射し、その結晶性を助長することで、その差はより顕著になる。すなわち、ラテラル成長部にレーザー光あるいは強光を照射した場合、結晶性ケイ素膜と非晶質ケイ素膜の融点の相違から結晶粒界部が集中的に処理される訳であるが、通常の固相成長法で形成した結晶性ケイ素膜では、結晶構造が双晶状態であるため、レーザー光照射後も結晶粒界内部は双晶欠陥として残る。それに比べ、触媒元素を導入し結晶化したラテラル成長部は、針状結晶あるいは柱状結晶で形成されており、その内部は単結晶状態であるため、レーザー光あるいは強光の照射により結晶粒界部が処理されると、ほぼ単結晶状態に近い結晶性ケイ素膜が得られる。

【0011】

【発明が解決しようとする課題】ところで、上記触媒元素の非晶質ケイ素膜への選択的な導入は、二酸化ケイ素等からなるマスクを用いて行われ、その導入部での触媒元素の濃度は高いものとなる。よって、上記導入部は、TFTのチャンネル領域やソース・ドレイン領域に重ならないようそれらから離隔する必要があるものの、ラテラル成長距離には限界があるので、上記導入部はTFTの近傍に設けられる。

【0012】このような導入部に対し、図2に示すように、結晶性を助長させるべくレーザー光あるいは強光を照

射すると、導入部205の表面に触媒元素が析出したり、結晶性ケイ素膜の多結晶化領域208の下の下地膜202部分に多量に触媒元素が拡散し、析出・拡散領域218が形成され、その結果、触媒元素が基板201上に多量に存在することとなる。このような基板上にTFTなどの素子を形成して半導体装置を得た場合には、触媒元素の存在により半導体装置の信頼性や電気的安定性が阻害されるという問題があった。

【0013】本発明はこのような従来技術の課題を解決すべくなされたものであり、信頼性や電気的安定性を向上できる半導体装置およびその製造方法を提供することを目的とする。

【0014】

【課題を解決するための手段】本発明の半導体装置は、結晶性を有するケイ素膜からなる活性領域を備えた半導体装置であって、該活性領域は、結晶化を助長する触媒元素が選択的に導入された非晶質ケイ素膜を加熱処理することにより形成されたラテラル成長部からなっており、レーザー光又は強光の照射前に、該非晶質ケイ素膜における該触媒元素の導入部が除去された構成となっているので、そのことにより上記目的が達成される。

【0015】本発明の半導体装置において、前記触媒元素として、Ni、Co、Pd、Pt、Cu、Ag、Au、In、Sn、P、As、SbおよびAlのうちから選ばれる一種または複数種類の元素が用いられた構成とすることができる。

【0016】本発明の半導体装置において、前記活性領域中における触媒元素の濃度が、 $1 \times 10^{14} \text{ atoms/cm}^3 \sim 1 \times 10^{18} \text{ atoms/cm}^3$ である構成とすることができる。

【0017】本発明の半導体装置の製造方法は、基板上に非晶質ケイ素膜を形成する工程と、該非晶質ケイ素膜の結晶化を助長する触媒元素を、該非晶質ケイ素膜の一部である被導入部に導入する工程と、該導入部の周辺部において該基板の表面に対し概略平行な方向に結晶成長を行わせるべく加熱し、結晶性ケイ素膜を得る工程と、該導入部を除去する工程と、除去された該導入部の周辺部において結晶性ケイ素膜の結晶性を助長すべく、レーザー光あるいは強光を照射する工程とを含むので、そのことにより上記目的が達成される。

【0018】

【作用】本発明にあつては、結晶化を助長する触媒元素が選択的に導入された非晶質ケイ素膜を加熱し、触媒元素が導入された被導入部の周辺部においてラテラル成長を行わせ、その後、レーザー光あるいは強光を全面照射する前に上記被導入部を除去する。よって、レーザー光あるいは強光を全面照射しても、その際には上記被導入部が存在しないので、被導入部表面での触媒元素の析出や、下地膜への多量の触媒元素の拡散が起こらない。また、ラテラル成長した領域のみをTFTのチャンネル領

域やソース・ドレイン領域に用いることが可能となり、半導体装置の信頼性や電氣的安定性を向上できる。また、触媒元素を導入する際に、被導入部において触媒元素添加量にばらつきがあっても、その触媒元素添加量のばらつきによりTFT特性が影響を受けるということもない。

【0019】

【実施例】以下に本発明の実施例を具体的に説明する。

【0020】図1は、本発明をTFTの作製に適用した場合におけるその作製工程の概要を示す断面図である。その作製工程は、(A)→(H)の順にしたがって順次進行する。

【0021】まず、図1(A)に示すように、洗浄されたガラス基板101の上に、例えばスパッタリング法によって厚さ50～200nm、例えば100nmの酸化ケイ素からなる下地膜102を形成する。この酸化ケイ素膜の必要膜厚は、ガラス基板101の表面状態によって異なり、十分に平坦で、不純物(ナトリウムイオン)等の半導体特性に悪影響を与えるイオンの濃度が十分に低い基板であれば、省略することも可能であり、逆に表面の状態が、傷や凹凸の激しいものであれば、上記膜厚よりも厚く堆積させる必要がある。ガラス基板101に代えて、本発明では他の材質の基板を使用することが可能である。

【0022】次に、減圧CVD法あるいはプラズマCVD法、スパッタリング法等によって、厚さ25～100nm、例えば50nmの真性(I型)の非晶質ケイ素膜(a-Si膜)103を成膜する。

【0023】次に、非晶質ケイ素膜103上にマスク104を100nm程度の厚さで酸化ケイ素等を用いて形成する。このマスク104は、非晶質ケイ素膜103に結晶化を助長する元素を選択的に導入するためのものである。

【0024】次に、この状態で、該結晶化を助長する元素として、例えばニッケルを上記マスク104で覆われていない非晶質ケイ素膜103部分である被導入部105に導入する。この導入には、蒸着、スパッタ、プラズマ処理、又は溶液塗布などの方法を用いることができる。

【0025】次に、この状態で基板全体を加熱処理する。すると、被導入部105においてまず多結晶化が起る。さらに加熱処理を続けると、図1(B)に示すように、被導入部105から外側に向け、つまり矢印で示す結晶成長方向106に向け、しかも基板101の表面に対し概略平行な方向に多結晶化が進行していく。十分に加熱処理を行うと、図1(C)に示した状態になる。即ち、被導入部105に連なる多結晶化領域108の外側に結晶成長端107が存在する状態になる。結晶成長端107は、基板表面に対し概略平行な方向に多結晶化が進行した時の結晶成長端であり、多結晶化領域108

と比較してニッケルの濃度の高い領域である。加熱処理の具体例としては、水素還元雰囲気下または不活性雰囲気下において、加熱温度520～580℃で数時間から数十時間、例えば550℃で8時間アニールして結晶化させる。なお、図1(C)中の実際のニッケルの濃度は、被導入部105や結晶成長端107が $1 \times 10^{19} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ 程度、多結晶化領域108が $1 \times 10^{14} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ 程度である。

【0026】次に、図1(D)に示すように、上記マスク104と被導入部105の結晶性ケイ素膜105とを除去する。これにより、後述する2つのTFTの素子間分離が行われる。

【0027】次に、図1(E)に示すように、多結晶化領域108を用いて、TFTの活性領域(ソース/ドレイン領域、チャネル領域)となる島状の結晶性ケイ素膜109を形成する。

【0028】次に、レーザー光を照射して結晶性ケイ素膜109の結晶性を助長する。このときのレーザー光としては、XeClエキシマレーザー(波長308nm)を用いた。レーザー光の照射条件は、照射時に基板を200～450℃、例えば400℃に加熱し、エネルギー密度200～400mJ/cm²、例えば300mJ/cm²で照射した。

【0029】次に、図1(F)に示すように、結晶性ケイ素膜109を覆うように厚さ20～150nm、ここでは100nmの酸化ケイ素膜をゲート絶縁膜110として成膜する。酸化ケイ素膜の形成には、ここではTEOSを原料とし、酸素とともに基板温度150～600℃、好ましくは300～450℃で、RFプラズマCVD法で分解・堆積した。あるいは、TEOSを原料としてオゾンガスとともに減圧CVD法もしくは常圧CVD法によって、基板温度を350～600℃、好ましくは400～550℃として形成してもよい。

【0030】次に、ゲート絶縁膜110自身のバルク特性および結晶性ケイ素膜109/ゲート絶縁膜110の界面特性を向上するために、不活性ガス雰囲気下で400～600℃で30～60分アニールを行った。

【0031】次に、スパッタリング法によって、厚さ400～800nm、例えば600nmのアルミニウム膜を成膜し、そのアルミニウム膜をパターニングして、ゲート電極111を形成する。

【0032】次に、上記ゲート電極111を陽極酸化して、表面に酸化物層112を形成する。陽極酸化は、酒石酸が1～5%含まれたエチレングリコール溶液中で行い、最初一定電流で220Vまで電圧を上げ、その状態で1時間保持して終了させる。得られた酸化物層112の厚さは200nmである。なお、この酸化物層112は、後のイオンドーピング工程において、オフセットゲート領域を形成する厚さとなるので、オフセットゲート

領域の長さを上記陽極酸化工程で決めることができる。

【0033】次に、図1(G)に示すように、イオンドーピング法によって、活性領域113にゲート電極111、酸化物層112をマスクとして不純物（リン又はホウ素）を注入する。ドーピングガスとして、フォスフィン（ PH_3 ）およびジボラン（ B_2H_6 ）を用い、前者の場合は、加速電圧を60～90kV、例えば80kV、後者の場合は、40kV～80kV、例えば65kVとし、ドーピング量は $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、例えばリンを $2 \times 10^{15} \text{ cm}^{-2}$ 、ホウ素を $5 \times 10^{15} \text{ cm}^{-2}$ とする。この工程により、ゲート電極111、酸化物層112にマスクされ不純物が注入されない領域は後にTFTのチャネル領域114となる。ドーピングに際しては、ドーピングが不要な領域をフォトレジストで覆うことによって、それぞれの元素を選択的にドーピングを行う。この結果、活性領域113にはN型の不純物領域（ソース／ドレイン領域）114A、またはP型の不純物領域（ソース／ドレイン領域）114Aが形成され、Nチャネル型TFT、またはPチャネル型TFTを形成することができる。

【0034】次に、レーザー光の照射によってアニールを行い、イオン注入した不純物の活性化を行うと同時に、上記の不純物導入工程で結晶性が劣化した部分の結晶性を改善させる。この際、使用するレーザーとしてはXeClエキシマレーザー（波長308nm）を用い、エネルギー密度 $150 \sim 400 \text{ mJ/cm}^2$ 、好ましくは 250 mJ/cm^2 で照射を行った。こうして形成された不純物（リン又はホウ素）が導入された不純物領域114Aのシート抵抗は、 $200 \sim 800 \Omega/\square$ であった。

【0035】次に、図1(H)に示すように、厚さ600nm程度の酸化ケイ素膜あるいは窒化ケイ素膜を層間絶縁膜115として形成する。酸化ケイ素膜を用いる場合には、TEOSを原料として、これと酸素とのプラズマCVD法、もしくはオゾンとの減圧CVD法あるいは常圧CVD法によって形成すれば、断差被覆性に優れた良好な層間絶縁膜が得られる。また、 SiH_4 と NH_3 を原料ガスとしてプラズマCVD法で成膜された窒化ケイ素膜を用いれば、活性領域／ゲート絶縁膜の界面へ水素原子を供給し、TFT特性を劣下させる不対結合手を低減する効果がある。

【0036】次に、層間絶縁膜115にコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの多層膜によってTFTの電極・配線116、117を形成する。

【0037】最後に、1気圧の水素雰囲気中で350℃、30分のアニールを行い、TFTを完成させる。

【0038】このようにして作製された本TFTを、画素電極をスイッチングする素子として用いる場合には、電極・配線116および117の一方をITOなど透明

導電膜からなる画素電極に接続し、もう一方の電極・配線より信号を入力する。また、本TFTを薄膜集積回路に用いる場合には、ゲート電極111上にもコンタクトホールを形成し、必要とする配線を施せばよい。

【0039】以上のように作製したTFTは、n-ch TFTの場合、電界効果移動度は $120 \sim 150 \text{ cm}^2/\text{Vs}$ 、S値は0.2～0.4V/桁、閾値電圧2～3Vという良好な特性を示した。基板内におけるTFT特性のばらつきは、電界効果移動度で $\pm 12\%$ 、閾値電圧では $\pm 8\%$ 以内であった。また、p-ch TFTの場合、電界効果移動度 $100 \sim 140 \text{ cm}^2/\text{Vs}$ 、S値0.3～0.5V/桁、閾値電圧-2～-3Vという良好な特性を示した。基板内におけるTFT特性のばらつきは、電界効果移動度で $\pm 10\%$ 、閾値電圧でほぼ $\pm 5\%$ 以内であった。

【0040】以上、本発明に基づく1実施例につき具体的に説明したが、本発明は上述の実施例に限定されるものではなく、本発明の技術的思想に基づく各種の変形が可能である。

【0041】例えば、上述実施例においては、結晶化を助長する不純物金属元素としては、ニッケル以外に、コバルト、パラジウム、白金、銅、銀、金、インジウム、スズ、リン、ヒ素、アンチモン、アルミニウムを用いても同様の効果が得られる。

【0042】また、本実施例では結晶性ケイ素膜の結晶性を助長する手段として、パルスレーザーであるエキシマレーザー照射による加熱法を用いたが、それ以外のレーザー（例えば連続発振Arレーザーなど）でも同様の処理が可能である。また、レーザー光の代わりに赤外光、フラッシュランプを使用して短時間に1000～1200℃（シリコンモニターの温度）まで上昇させ試料を加熱する、いわゆるRTA（ラピット・サーマル・アニール）、RTP（ラピッド・サーマル・プロセスともいう）などのいわゆるレーザー光と同等の強光を用いてもよい。

【0043】また、本実施例のTFTは、アクティブマトリクス型の液晶表示装置のドライバー回路や画素部分は勿論、同一基板上にCPUを構成する素子としても用いる事が出来る。

【0044】さらに、本発明の応用としては、液晶表示用のアクティブマトリクス型基板以外に、例えば密着型イメージセンサー、ドライバー内蔵型のサーマルヘッド、有機系EL等を発光素子としたドライバー内蔵型の光書き込み素子や表示素子、三次元IC等が考えられる。本発明を用いることで、これらの素子の高速、高解像度化等の高性能化が実現される。更に、本発明は、上述の実施例で説明したMOS型トランジスタに限らず、結晶性半導体を素子材としてバイポーラトランジスタや静電誘導トランジスタをはじめとして幅広く半導体プロセス全般に应用することができる。

【0045】

【発明の効果】以上詳述したように、本発明による場合には、レーザー光あるいは強光を全面照射する際には被導入部が存在しないので、被導入部表面での触媒元素の析出や、下地膜への多量の触媒元素の拡散が起こらず、また、ラテラル成長した領域のみをTFTのチャンネル領域やソース・ドレイン領域に用いることが可能となり、半導体装置の信頼性や電気的安定性を向上できる。

【0046】また、本発明の特徴とする活性領域を薄膜トランジスタに適用する場合には、大面積基板にわたって均一で安定した特性の高性能薄膜トランジスタを有する半導体装置を、簡便な製造プロセスにて得ることができる。特に、液晶表示装置に適用する場合は、アクティブマトリクス基板に要求される画素スイッチングTFTの特性の均一化、周辺駆動回路部を構成するTFTに要求される高性能化を同時に満足させ得、同一基板上にアクティブマトリクス部と周辺駆動回路部を構成するドライバモノリシック型アクティブマトリクス基板の実現が可能となり、モジュールのコンパクト化、高性能化、低コスト化を図れる。

【図面の簡単な説明】

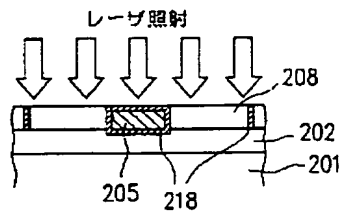
【図1】本発明をTFTの作製に適用した場合におけるその作製工程の概要を示す断面図である。

【図2】従来技術における問題点を説明するため図であり、被導入部の近傍を示す断面図である。

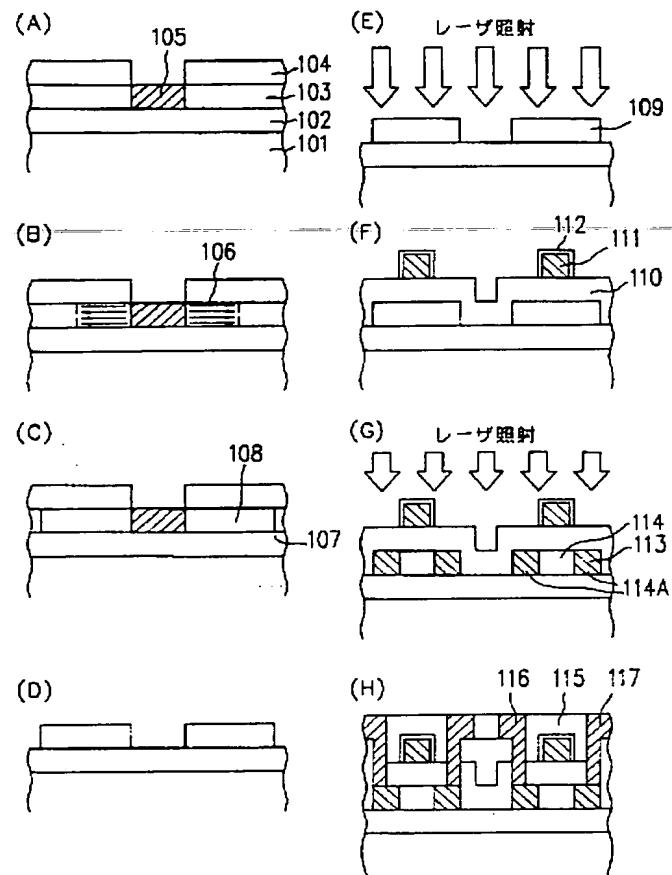
【符号の説明】

- 101 ガラス基板
- 201 基板
- 102、202 下地膜
- 103 非晶質ケイ素膜
- 104 マスク
- 105、205 被導入部
- 106 結晶成長方向
- 107 結晶成長端
- 108、208 多結晶化領域
- 109 結晶性ケイ素膜
- 110 ゲート絶縁膜
- 111 ゲート電極
- 112 酸化物層
- 113 活性領域
- 114A 不純物領域（ソース・ドレイン領域）
- 114 チャンネル領域
- 115 層間絶縁膜
- 116、117 電極・配線
- 218 析出・拡散領域

【図2】



【図1】



フロントページの続き

(51) Int. Cl. 6

H 0 1 L 29/786

21/336

識別記号

庁内整理番号

F I

技術表示箇所